

INPUT PROTECTING CIRCUIT OF OPERATIONAL AMPLIFIER

Patent Number: JP55154809
Publication date: 1980-12-02
Inventor(s): SHIMADA MASAMI
Applicant(s): TOSHIBA CORP
Requested Patent: ☐ JP55154809
Application Number: JP19790063453 19790523
Priority Number(s):
IPC Classification: H03F1/52; H03G11/02
EC Classification:
Equivalents:

Abstract

PURPOSE:To make it possible to protect an operational amplifier from an overvoltage by forming a bypass of FETs and diodes when an input interterminal voltage exceeds the threshold level of N-type MOSFET or P-type MOSFET.

CONSTITUTION:Between uninverted input terminal 28 and inverted input terminal 29 of operational amplifier 21, N-channel MOSFET23 P-channel MOSFET26 are interposed in parallel, front gates of FET23, 26 are connected to input terminal 28, and back gates of them are further connected to input terminal 29. Between input terminals 28 and 29, and FET23, diodes 22 and 24 with anodes opposed to input terminal 28 are interposed and between input terminals 28 and 29 and FET26, diodes 25 and 27 with anodes opposed to input terminal 29 are also arranged. Here, when a voltage between input terminals 28 and 29 exceeds the threshold voltage of FET23 or FET26, a bypass is constituted by way of FETs and diodes, providing the protection of amplifier 21 from an overvoltage.

Data supplied from the esp@cenet database - I2

資料④

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑯ 公開特許公報 (A)

昭55-154809

⑮ Int. Cl.³
H 03 F 1/52
H 03 G 11/02

識別記号 庁内整理番号
7827-5 J
7154-5 J

⑰ 公開 昭和55年(1980)12月2日

発明の数 1
審査請求 未請求

(全 3 頁)

⑱ 演算増幅器の入力保護回路

大分市大字松岡3500番地東京芝
浦電気株式会社大分工場内

⑲ 特 願 昭54-63453
⑳ 出 願 昭54(1979)5月23日
㉑ 発 明 者 島田政見

㉒ 出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
㉓ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

演算増幅器の入力保護回路

2. 特許請求の範囲

演算増幅器の非反転入力端と反転入力端との間にNチャネル型MOSトランジスタおよびPチャネル型MOSトランジスタを並列的に挿入し、上記Nチャネル型MOSトランジスタおよびPチャネル型MOSトランジスタのフロントゲートを上記非反転入力端に接続し、上記Nチャネル型MOSトランジスタおよびPチャネル型MOSトランジスタのバックゲートを上記反転入力端に接続し、上記非反転入力端および反転入力端それぞれと上記Nチャネル型MOSトランジスタとの間にアノードを非反転入力端側に向けたダイオードを挿入し、上記非反転入力端および反転入力端それぞれと上記Pチャネル型MOSトランジスタとの間にアノードを反転入力端側に向けたダイオードを挿入してなることを特徴とする演算増幅器の入力保護回路。

1

3. 発明の詳細な説明

この発明は過大入力電圧から演算増幅器の保護をはかる演算増幅器の入力保護回路に関する。

演算増幅器において非反転入力端と反転入力端に供給される差動入力電圧の差電圧が所定電圧以上、すなわち過大入力電圧になると、演算増幅器が熱破壊することがある。このため過大入力電圧から演算増幅器を保護する目的で入力保護回路が設けられる。

従来、このような入力保護回路としてはたとえば第1図あるいは第2図に示すような回路が広く使用されている。第1図は演算増幅器11の非反転入力端と反転入力端との間に逆並列的に一対のダイオード12、13を接続したものであり、第2図は上記ダイオード12、13のかわりに所定ツェナー電圧を有する一対のツェナーダイオード14、15を用いたものである。上記第1図あるいは第2図において、差動入力電圧の差電圧が所定電圧以下の場合には演算増幅器11の出力は飽和せず、非反転入力端と反

2

転入力端との間は実質的に短絡状態となり、ダイオード12, 13あるいはツェナーダイオード14, 15はオンしない。一方差動入力電圧の差電圧が所定電圧以上となつて過大入力電圧になると、演算増幅器11の出力が飽和して非反転入力端と反転入力端との間の短絡状態がくずれ、ダイオード12, 13のどちらか一方あるいはツェナーダイオード14, 15のどちらか一方がオンすることになる。この結果オンしたダイオードあるいはツェナーダイオードを介して入力電圧がバイパスされるので、過大入力電圧に対して演算増幅器11は保護される。ところが第1図に示すような入力保護回路では、ダイオード12, 13のどちらか一方がオンしてバイパスされるときに入力電圧が、ダイオード12, 13の順方向降下電圧の値によつて限られてしまうため極めて汎用性が低いものとなる。これに対し第2図ではツェナーダイオード14, 15のツェナー電圧の設定によつて、バイパスされるときに入力電圧の値を決めること

3

算増幅器21の非反転入力端にはダイオード22のアノードが接続され、さらにこのダイオード22のカソードはNチャネル型MOSトランジスタ23のソースに接続される。上記MOSトランジスタ23のドレインはダイオード24のアノードに接続され、さらにこのダイオード24のカソードは上記演算増幅器21の反転(-)入力端に接続される。また上記MOSトランジスタ23のフロントゲート、バックゲートは、上記演算増幅器21の非反転入力端、反転入力端それぞれに接続される。そしてまた演算増幅器21の非反転入力端にはダイオード25のカソードが接続され、さらにこのダイオード25のアノードはPチャネル型MOSトランジスタ26のドレインに接続される。上記MOSトランジスタ26のソースはダイオード27のカソードに接続され、さらにこのダイオード27のアノードは前記演算増幅器21の反転入力端に接続される。また上記MOSトランジスタ26のフロントゲート、バックゲートは、前記MOS

5

ができるので、第1図の回路よりも汎用性が高いといえる。

ところで最近では電力消費の点等から演算増幅器はMOSトランジスタで実装回路化される場合があり、この場合上記第2図に示すようにツェナーダイオードを用いた従来の入力保護回路をMOS型実装回路装置内に形成するには製造工程上あるいはチップサイズの点からみて極めて不利となる。

この発明は上記のような事情を考慮してなされたものであり、その目的とするところは、MOSトランジスタにより実装回路化される演算増幅器とともに形成する場合、汎用性が高くかつ製造工程が簡単であり、しかもチップサイズの小変化をはかることができる演算増幅器の入力保護回路を提供することにある。

以下図面を参照してこの発明の一実施例を説明する。第3図はこの発明の一実施例の構成図である。図において21はMOSトランジスタによつて構成された演算増幅器である。この演

4

算増幅器21の非反転入力端、反転入力端それぞれに接続される。そして前記演算増幅器21の非反転入力端と一方電圧入力端28、反転入力端と他方電圧入力端29それぞれの間には電流制限用の抵抗20, 21それぞれが挿入される。

次に上記のように構成された回路の動作を説明する。先ず電圧入力端28, 29間に印加される差動入力電圧の差電圧が小さく演算増幅器21の出力が飽和しない場合には、この演算増幅器21の非反転入力端と反転入力端との間にはほとんど電位差が発生せず、MOSトランジスタ23, 26はともにオフとなる。したがつてこの場合演算増幅器21は正常動作を行なう。

一方電圧入力端28が高電位、電圧入力端29が低電位となるように差動入力電圧が印加され、しかもその差電圧が過大入力電圧となつている場合で、演算増幅器21の出力が飽和し非反転入力端と反転入力端との間の電位差がNチャネル型MOSトランジスタ23のスレッシユホー

6

特開55-154809 (3)

ルド電圧以上になるとこのMOSトランジスタ23がオンする。MOSトランジスタ23がオンすると、ダイオード22〜MOSトランジスタ23〜ダイオード24なる電流経路が成立し、差動入力電圧がこの電流経路によりバイパスされるので、過大入力電圧に対して演算増幅器21は保護される。

同様に電圧入力端28が低電位、電圧入力端29が高電位となるように差動入力電圧が印加され、しかもその差電圧が過大入力電圧となつて演算増幅器21の出力が飽和し、非反転入力端と反転入力端との間の電位差がPチャネル型MOSトランジスタ26のスレッシュホールド電圧以上になるとこのMOSトランジスタ26はオンする。MOSトランジスタ26がオンすると、ダイオード27〜MOSトランジスタ26〜ダイオード28なる電流経路が成立し、差動入力電圧はこの電流経路によりバイパスされるので、過大入力電圧に対して演算増幅器21は保護される。

7

演算増幅器の構成図、第3図はこの発明に係る演算増幅器の入力保護回路の一実施例の構成図である。

21…演算増幅器、22、24、25、27…ダイオード、23…Nチャネル型MOSトランジスタ、26…Pチャネル型MOSトランジスタ、28、29…電圧入力端、30、31…抵抗。

出願人代理人 弁理士 嶋 江 武 彦

9

このように上記実施例では過大入力電圧に対して演算増幅器21を保護することができる。またMOSトランジスタ23、26のスレッシュホールド電圧の設定を異ならせることにより、バイパスされるとき差動入力電圧の差電圧の値を変えることができるため、回路の汎用性は高いものとすることができる。さらに上記実施例回路を演算増幅器とともに1チップに集積回路化する場合には通常のMOS工機により行なうことができるために、フェナーダイオードを用いたときよりも製造工程が簡単となりしかもチップサイズの小量化をはかることができる。

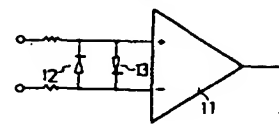
以上説明したようにこの発明によれば、MOSトランジスタにより集積回路化される演算増幅器とともに形成する場合、汎用性が高くかつ製造工程が簡単であり、しかもチップサイズの小量化をはかることができる演算増幅器の入力保護回路を提供することができる。

4. 図面の簡単な説明

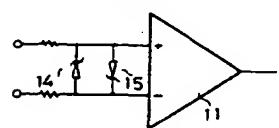
第1図および第2図はそれぞれ従来の入力保護

8

第1図



第2図



第3図

